

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000118

International filing date: 07 January 2005 (07.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-003842
Filing date: 09 January 2004 (09.01.2004)

Date of receipt at the International Bureau: 03 March 2005 (03.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

11.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2004年 1月 9日

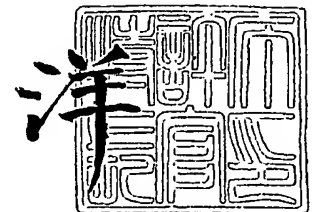
出 願 番 号
Application Number: 特願2004-003842
[ST. 10/C]: [JP2004-003842]

出 願 人
Applicant(s): ローム株式会社

2005年 2月17日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 PR03-00347
【提出日】 平成16年 1月 9日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03K 17/08
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 大尾 光明
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 柳島 大輝
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
 【代表者】 佐藤 研一郎
【代理人】
 【識別番号】 100079555
 【弁理士】
 【氏名又は名称】 梶山 侑是
 【電話番号】 03-5330-4649
【選任した代理人】
 【識別番号】 100079957
 【弁理士】
 【氏名又は名称】 山本 富士男
 【電話番号】 03-5330-4649
【手数料の表示】
 【予納台帳番号】 061207
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9711313

【書類名】特許請求の範囲

【請求項 1】

モータの励磁コイルに駆動電流を出力するパワートランジスタを複数の前記励磁コイルに対応して複数有するモータドライブ回路におけるパワートランジスタ保護回路において、端子オープン検出回路と、断線検出回路と、駆動停止回路とを備え、

前記端子オープン検出回路は、複数の前記パワートランジスタに対応してそれぞれの前記駆動電流を出力する出力端子と各前記励磁コイルの前記出力端子が接続されていない他方の端子あるいはこの端子が接続されているラインとの間にそれぞれ設けられ前記駆動電流を出力しているときに接続されている端子間がオープン状態にあることを検出するものであり、

前記断線検出回路は、前記端子オープン検出回路の検出信号を受けてこれを受けたときの前記駆動電流の後に出力された前記駆動電流のときに前記検出信号をさらに受けるか否かにより断線状態を検出するものであり、

前記駆動停止回路は、この断線検出回路により断線状態が検出されたときに前記モータドライブ回路の駆動動作を停止させるものであるパワートランジスタ保護回路。

【請求項 2】

前記断線検出回路は、複数の前記パワートランジスタに対応して複数設けられ、それぞれの前記断線検出回路は、それぞれに自己に対応して設けられている前記端子オープン検出回路から前記検出信号を受けるものであって、前記検出信号を受けた後に出力された前記駆動電流は次に発生する駆動電流であり、

前記端子オープン検出回路は、前記出力端子と前記他方の端子の電圧あるいは前記出力端子と前記ラインの電圧を検出することにより前記検出信号を発生するものであり、

前記断線検出回路は、周期 T のクロックを所定期間カウントする n 進カウンタを有し、前記検出信号が発生しないときに前記 n 進カウンタ (n は 2 以上の整数) をリセットし、このリセットから前記 n 進カウンタのカウント終了までの期間 $n \times T$ が次に発生する前記駆動電流までの期間よりも長いものであり、前記 n 進カウンタの n カウント終了信号が断線検出信号とされる請求項 1 記載のパワートランジスタ保護回路。

【請求項 3】

前記端子オープン検出回路は、前記出力端子の電圧と前記他方の端子の電圧あるいは前記出力端子の電圧と前記ラインの電圧とを比較する第 1 のコンパレータを有し、この第 1 のコンパレータにより前記検出信号を検出パルスとして発生し、前記断線検出回路は、前記検出パルスを所定の基準電圧と比較する第 2 のコンパレータを有し、この第 2 のコンパレータにより前記 n 進カウンタをリセットする信号を発生する請求項 2 記載のパワートランジスタ保護回路。

【請求項 4】

前記駆動停止回路は、オアゲートとラッチ回路とを有し複数の前記断線検出回路から得られる前記断線検出信号をそれぞれ前記オアゲートで受けて前記ラッチ回路にラッチし、前記ラッチ回路の出力により前記パワートランジスタを駆動する信号を停止させる請求項 3 記載のパワートランジスタ保護回路。

【請求項 5】

前記パワートランジスタは、前記出力端子からシンクする駆動電流を出力電流として発生する請求項 4 記載の電流制限回路。

【請求項 6】

請求項 1～5 のいずれかの項記載の前記パワートランジスタ保護回路を有する前記モータドライブ回路が IC 化され前記パワートランジスタの前記出力電流によりモータを駆動するモータドライブ回路。

【請求項 7】

前記モータがステッピングモータである請求項 7 記載のモータドライブ回路。

【請求項 8】

請求項 6 または 7 項記載のモータドライブ回路を IC 化した半導体装置。

【書類名】明細書

【発明の名称】モータドライブ回路のパワートランジスタ保護回路、モータドライブ回路および半導体装置

【技術分野】

【0001】

この発明は、モータドライブ回路のパワートランジスタ保護回路、モータドライブ回路および半導体装置に関し、詳しくは、ユニポーラ（半波）駆動のステッピングモータドライバにおいて、パワートランジスタの出力端子とモータの励磁コイルとの間が断線状態になっているときにパワートランジスタが破壊されるのを防止することができるようなモータドライブ回路のパワートランジスタ保護回路に関する。

【背景技術】

【0002】

ユニポーラ駆動のステッピングモータドライバ（パルスモータドライバ）は、1相駆動、1相-2相駆動、2相駆動等によりモータの固定子側を順次励磁することで、所定の回転角だけ突起形状の回転子を回転させる。

各固定子を励磁するための駆動電流を流すドライバは、電源に対して固定子に巻かれたコイルに直列にパワートランジスタが設けられていて、各相對應に設けられたパワートランジスタが所定のタイミングでON/OFFされることで、固定子が順次励磁されてステッピングモータがドライブされる。

パワートランジスタがONすると、励磁コイルのインダクタンスとパワートランジスタ等のインピーダンスにより決定される所定の時定数の過渡現象でON期間の間順次駆動電流が増加していく。この増加量を一定値に制限するために、パワートランジスタをONから所定の期間後にOFFすることで、パワートランジスタに過電流が流れないように制御される。そのため、パワートランジスタは、通常、ON/OFFする“H”（HIGHレベル）、“L”（LOWレベル）の論理値パルスで各相がパルス駆動される。

【0003】

このようなパルス駆動制御の1つとして、ON期間をタイマ回路で設定して制御するチョップ制御の3相モータドライバとそのIGBTパワートランジスタの保護回路が公知である（特許文献1）。

【特許文献1】特開平11-112313号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

前記のようなパワートランジスタの保護回路は、過電流保護回路や電流制限回路が一般的である。しかし、モータ駆動のドライバがIC化されている場合には、出力端子にモータの励磁コイルの端子が接続されることから、出力端子とモータとの接続不良が発生し易い。また、モータ等では回転するために励磁コイルの断線等も発生する。

しかし、モータ駆動回路等では、ノイズや駆動状態などによってパワートランジスタの出力端子の1つが瞬間的にオープン状態になることがあって、端子のオープン状態を検出することで断線を検出しようとする誤検出が発生し易く、モータドライブ回路の駆動動作に影響を与えて、実用的なものにはならない。したがって、この種の断線に対する保護回路は見受けられない。

しかも、ステッピングモータドライバにおいて、出力端子の1つが接続不良や励磁コイルの断線が発生したときには、モータの駆動は継続され、オープンとなった端子に接続される励磁コイルに逆起電力が発生しなくなるため、その分、他の励磁コイルに流れる電流が増加してドライバ全体として過負荷状態でモータの駆動が継続される。それによりパワートランジスタが破壊され、しいてはIC自体が破壊されることになる。

この発明の目的は、このような従来技術の問題点を解決するものであり、パワートランジスタの出力端子からモータの励磁コイルの他端までの間に断線があるときにパワートランジスタが破壊されるのを防止することができるモータドライブ回路のパワートランジスタ

タ保護回路、モータドライブ回路および半導体装置を提供することにある。

【課題を解決するための手段】

【0005】

このような目的を達成するためのこの発明のモータドライブ回路のパワートランジスタ保護回路、モータドライブ回路および半導体装置の構成は、複数のパワートランジスタに対応してそれぞれの駆動電流を出力する出力端子と各励磁コイルの出力端子が接続されていない他方の端子あるいはこの端子が接続されているラインとの間にそれぞれ設けられ駆動電流を出力しているときに接続されている端子間がオープン状態にあることを検出する複数の端子オープン検出回路と、端子オープン検出回路の検出信号を受けてこれを受けたときの駆動電流の後に出力された駆動電流のときに検出信号をさらに受けるか否かにより断線状態を検出する断線検出回路と、この断線検出回路により断線状態が検出されたときにモータドライブ回路の駆動動作を停止させる駆動停止回路とを備えるものである。

【発明の効果】

【0006】

このように、この発明は、出力端子とモータの励磁コイルの他方の端子までの間の断線についてこれらの端子間がオープン状態となり、それが後の駆動電流の出力時まで続くか否かを判定することで断線状態を検出する。これにより、断線の誤検出がなくなり、モータドライブ回路の駆動動作に影響を与えることなく、確実に断線を検出して駆動動作を停止することができる。

その結果、パワートランジスタの出力端子からモータの励磁コイルの他端までの間に断線があるときにそれを検出してパワートランジスタが破壊されるのを防止することができる。

【発明を実施するための最良の形態】

【0007】

図1は、この発明のモータドライブ回路のパワートランジスタ保護回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバのブロック図、図2は、パワートランジスタ保護回路の動作のタイミングチャートである。

図1において、10は、励磁コイルが4個のユニポーラ駆動のステッピングモータドライバICである。これには、単相駆動回路1a、1b、1c、1dが設けられ、それぞれの出力端子2a、2b、2c、2dにはステッピングモータ11の励磁コイル11a、11b、11c、11dがそれぞれ接続されている。

これら励磁コイル11a、11b、11c、11dは、電源（電池）12の電源ライン13に接続されてこれから電力供給を受ける。なお、各励磁コイル11a、11b、11c、11dには、それぞれフライホイールダイオードDが並列に接続されている。

また、電源12は、端子2eを介してIC内部の電圧レギュレータ回路（REG）2に電力を供給して、REG2を介して内部電源ライン+VDDに安定化した所定の電圧、例えば、3Vの電力を各種の内部回路に送出する。

単相駆動回路1a、1b、1c、1dは、それぞれ同一の回路で構成されているので、その詳細を単相駆動回路1aのみに示す。以下、単相駆動回路1aについて説明し、単相駆動回路1b、1c、1dは、同様であるのでその説明を割愛する。

【0008】

単相駆動回路1aについて説明すると、NチャネルMOSFETパワートランジスタ3と、パワートランジスタ保護回路4、電流制限回路5、そして基準電圧発生回路6とからなる。なお、説明の都合上、各単相駆動回路の電流制限回路5は、点線枠の外に出してある。

パワートランジスタ3は、ドレインが出力端子2aに接続され、出力端子2aに励磁電流を出力する。パワートランジスタ3のソース側は、端子2fを介してIC外部に取り付けられた出力電流検出用の抵抗Rsに接続され、これを介して接地されている。なお、出力端子2aの出力電流は、この出力端子2aに励磁コイル11aからシンクする電流となる。

パワートランジスタ保護回路 4 は、電池 12 の電源ライン 12 a と出力端子 2 a とのオープン状態を検出する端子オープン検出回路 4 a と断線検出回路 4 b とからなる。

端子オープン検出回路 4 a は、出力端子 2 a と前記励磁コイル 11 a の電源ライン 13 側の端子（他の端子）との電圧を検出することでこれら端子間がオープン状態にあることを検出するものであって、出力端子 2 a とグランド GND との間に接続された抵抗 R1、R2 からなる抵抗分圧回路 44 と端子 2 i を介して電源ライン 13 に一方が接続され、他方がグランド GND に接続された抵抗 R3、R4 からなる抵抗分圧回路 45、そしてコンパレータ 46 とからなる。

コンパレータ 46 の (+) 入力抵抗分圧回路 44 の抵抗の接続点に接続され、接続点の分圧電圧 V_a を受ける。その (-) 入力が抵抗分圧回路 45 の抵抗の接続点に接続され、接続点の分圧電圧 V_b を受ける。ここで、パワートランジスタ 3 の出力が発生してそれが所定の駆動電流値になったときには、出力端子 2 a がこの電流値に応じた電圧値になるので、 $V_a > V_b$ となる。このとき、コンパレータ 46 は、“L” のときに出力電流が発生していないことを示す“L” 有義の出力検出パルスが発生する（図 2 (d) 参照）。

【0009】

断線検出回路 4 b は、コンパレータ 4 c と 8 進カウンタ 4 d とからなり、8 進カウンタ 4 d は、クロック発生回路 14 から端子 2 h を介して送出されたクロック CLK を受ける。コンパレータ 4 c の (+) 入力は、単相駆動回路 1 a、1 b、1 c、1 d に共通に設けられた基準電圧発生回路 6 から比較基準電圧を受け、(-) 入力は、端子オープン検出回路 4 a から検出電圧信号を受ける。コンパレータ 4 c の出力は、8 進カウンタ 4 d のリセット端子 R に接続されている。なお、基準電圧発生回路 6 は、レーザトリミング等によりその電圧調整が可能になっている。この電圧調整により、単相駆動回路 1 a、1 b、1 c、1 d のそれぞれのコンパレータ 4 c がそれぞれにリセット信号を発生するようにその電圧 VR が設定される。

断線検出回路 4 b は、端子オープン検出回路 4 a から検出電圧信号を受けて、一定期間オープン状態が継続していることを 8 進カウンタ 4 d でクロック CLK をカウントすることで断線の検出をする。

ところで、パワートランジスタ 3 を駆動するゲート駆動パルスの周期 TG は、 $TG < 8 \times T$ 、ただし、T は、クロック CLK の周期である。ここでは、例えば、6 カウント ($6 \times T$) 程度に設定されている。

コンパレータ 4 c は、コンパレータ 46 が“L” の出力検出パルスが発生したときのみ、“H” の出力パルス（リセットパルス）を発生して 8 進カウンタ 4 d をリセットする。これにより 8 進カウンタ 4 d は、“0” からそのカウントをスタートさせる。 $8 \times T$ より手前で次のゲート駆動パルスが発生するので、これにより、パワートランジスタ 3 の出力電流が発生する。これが発生する限りは、8 進カウンタ 4 d はリセットされ続ける。その結果、8 進カウンタ 4 d の 8 カウント終了信号は発生しない。

【0010】

ここで、電源ライン 13 側の励磁コイル 11 a の端子から接続端子 2 a までの間で断線が発生したときには、抵抗分圧回路 44 の分圧電圧がグランド GND 電位となるので、コンパレータ 46 が発生する出力検出パルスは、たとえゲート駆動パルスが発生しても、パワートランジスタ 3 に出力電流が発生しない場合には“H” のままとなる。そのため、コンパレータ 4 c の出力パルス（リセットパルス）は“L” のままとなり、8 進カウンタ 4 d は、コンパレータ 4 c の出力パルスによってはリセットされない。その結果、パワートランジスタ 3 の出力電流が発生していないときには、8 進カウンタ 4 d の 8 カウント終了信号が発生することになる。この 8 カウント終了信号は断線検出信号とされる。

41 は、駆動停止信号発生回路であって、オアゲート 42 とラッチ回路 43 とからなる。そして、単相駆動回路 1 a、1 b、1 c、1 d の 8 進カウンタ 4 d の最終段の 8 カウント終了信号“H”を断線検出信号としてオアゲート 42 を介してラッチ回路 43 が受ける。これによりラッチ回路 43 に 8 カウント終了信号“H”を“1”としてこれが論理和でラッチされる。断線検出信号（“1”）がラッチされたときに、ラッチ回路 43 からこの

“1”が駆動停止信号SPとして相励磁信号生成回路9に加えられる。これにより相励磁信号生成回路9は、その動作を停止する。なお、ラッチ回路43のリセット端子Rにリセット信号“1”が端子RSを介して入力されると、ラッチ回路43の値は、“0”クリアされる。なお、このラッチ回路43は、初期状態では、このリセット信号により“0”がセットされている。

そこで、電源ライン13側の励磁コイル11aの端子から接続端子2aまでの間で断線が発生したときには、8進カウンタ4dから8カウント終了信号(“H”)が断線検出信号として発生してラッチ回路43に“1”がラッチされ、相励磁信号生成回路9の動作が停止する。これにより、ステッピングモータドライバIC10、特にパワートランジスタ3は破壊されないで済む。

【0011】

電流制限回路5は、コンパレータ5a、そして、基準電圧発生回路5bとからなる。

コンパレータ5aの(+)入力端子は、端子2fと接続され、基準電圧発生回路5bは、IC外部に設けられ、端子2gを介してコンパレータ5aの(-)入力端子に接続され、基準電圧VREFを(-)入力端子に加える。出力電流検出用の抵抗Rsの端子電圧(端子2fの電圧)をVsとすると、パワートランジスタ3の駆動電流(出力電流)が増加して、電圧Vsが基準電圧VREFを越えるような出力電流がパワートランジスタ3に発生したとき、言い換えれば、出力電流が規定値になったときに、コンパレータ5aは検出パルスSを発生する。この検出パルスSは、チョッピングパルス発生回路7に加えられて、“H”のチョッピングパルスPをOFF(“H”から“L”)にするとともにOFFタイマ回路8を駆動する。これによりパワートランジスタ3はOFFになる(後述)。

チョッピングパルスPの停止時間(“L”の期間)は、OFF時間設定のOFFタイマ回路8によりカウントされて、一定期間後、例えば、15 μ sec後にチョッピングパルスPが“L”から“H”となり、例えば、30 μ sec~50 μ sec程度の範囲で選択された期間の間“H”となる。すなわち、チョッピングパルスPは、“H”のパルスが検出パルスSに応じて“L”となり、一定時間後に“H”となることで、チョッピングパルスとして生成される。

その結果、電流制限回路5は、抵抗Rsの端子電圧Vsが電圧VREFを越えたときに駆動電流を停止させてパワートランジスタ3の出力電流を制限する。この点で電流制限回路5は、モータドライブ回路の過電流保護回路を兼ねるものとして設けられている。

【0012】

定常状態で“H”のチョッピングパルスPは、相励磁信号生成回路9に送出されて、例えば、相励磁信号生成回路9においてアンドゲートにより単相駆動回路1aのゲート駆動パルスの“H”とアンド論理が採られて、パワートランジスタ3のゲートに出力される(図2(a),(b)参照)。そこで、パワートランジスタ3には、ゲート駆動パルスの“H”の期間、所定の周波数でチョッピングされてチョッピングパルス(チョッピングパルスPに対応)が相励磁信号生成回路9から加えられ、このパルスが“L”のときには、ゲート駆動パルスは“L”となり、パワートランジスタ3がOFFにされて、ステッピングモータ11の励磁コイル11aに対する駆動電流が停止する。

ここで、各励磁コイルにはフライホイールダイオードDが並列に設けられているので、各励磁コイル11a、11b、11c、11dに流れるそれぞれの電流は、チョッピングパルスPが“L”のOFF期間にはフライホイールダイオードDを通して流れる。それは、チョッピングパルスPによるON期間とOFF期間との関係で決定される平均的な電流となる。

【0013】

ここでは、チョッピングパルス発生回路7とOFFタイマ回路8とは、単相駆動回路1a、1b、1c、1dに対応して共通に設けられていて、各単相駆動回路1a、1b、1c、1dの励磁コイル駆動に対応してチョッピングパルスPがそれぞれに生成され、相励磁信号生成回路9に送出される。

相励磁信号生成回路9は、各励磁コイルを単相駆動、1相-2相駆動、2相駆動等に応

じて、単相駆動回路 1 a, 1 b, 1 c, 1 d の各パワートランジスタ 3 のゲート駆動パルス所定のタイミングで生成する回路であって、“H”、“L”のゲート駆動パルスを発生する。さらに、駆動電流を制限するために“H”の期間は、それぞれのゲート駆動パルスがチョッピングパルス P によりチョッピングされる。なお、チョッピングパルス P の周期は、クロック CLK の周期よりも小さい。

【0014】

図 2 は、パワートランジスタ保護回路 4 の動作のタイミングチャートである。

図 2 (a) は、単相駆動回路 1 a のゲート駆動パルスであり、これが“H”の間、パワートランジスタ 3 がチョッピング駆動される。図 2 (b) は、そのチョッピングパルス P であり、これの“H”の間、ステッピングモータ 11 の励磁コイル 11 a に対して駆動電流が流れるので、出力端子 2 a の出力電圧 V_{out} は、図 2 (c) のようになる。

ここで、図 2 (a) のゲート駆動パルスに応じて単相駆動回路 1 a のパワートランジスタ 3 が出力電流を発生しているとする。この場合、コンパレータ 46 は、出力端子 2 a の電圧に応じてこれを分圧した分圧電圧 V_a が分圧電圧 V_b (図 2 (d) 参照) を越えたときに“H”から“L”の出力となるので、図 2 (e) に示すように、図 2 (c) の出力端子 2 a の電圧 V_{out} に応じて、その出力パルスは、“H”、“L”、“H”、“L”の出力検出パルスとなる。チョッピングパルス P の周期は、クロック CLK よりも小さいので、コンパレータ 46 の、この出力検出パルス“L”の出力パルスに応じてコンパレータ 4 c は、“H”の出力(リセットパルス)を発生して 8 進カウンタ 4 d をリセットする。これにより、ラッチ回路 43 は、初期値“0”のままとなり、駆動停止信号 SP は発生することなく、相励磁信号生成回路 9 は動作し続ける。

【0015】

このとき発生しているコンパレータ 46 の“L”の最後の出力検出パルスは、図 2 (a) のゲート駆動パルスが落ちる手間のチョッピングパルス P に対応して発生している。そして次に発生するコンパレータ 46 の“L”の出力検出パルスは、次のゲート駆動パルスが発生してその最初のチョッピングパルス P に対応している。このときのコンパレータ 46 の“L”の出力検出パルスの発生期間は、8 進カウンタ 4 d が 8 クロック分カウントする期間 $8 \times T$ より短い。したがって、電源ライン 13 の側の励磁コイル 11 a の端子から接続端子 2 a までの間に断線がない限りは、相励磁信号生成回路 9 に対する駆動停止信号 SP はラッチ回路 343 から発生しない。なお、8 進カウンタ 4 d のカウント期間は、前記の最後の出力検出パルスから次の最初の出力検出パルスまで以上長い期間があればよい。

一方、ステッピングモータ 11 との接続不良などにより電源ライン 13 側の励磁コイル 11 a の端子から接続端子 2 a までの間に断線があるときには、ゲート駆動パルスに応じて単相駆動回路 1 a のパワートランジスタ 3 が駆動されても出力電流を発生しない。そこで、図 2 (c) に後半に示すように、出力端子 2 a の電圧 V_{out} が発生しない。そのため分圧電圧 V_a は $V_a \approx 0V$ になる。その結果、 $V_a < V_b$ となり、コンパレータ 46 から発生する出力検出パルスが“H”のままとなる。これにより 8 進カウンタ 4 d はリセットされることなく、クロック CLK をカウントする。そこで、次の出力電流が発生しなかったときには、コンパレータ 46 から“L”の出力検出パルスが発生しないので、8 進カウンタ 4 d から 8 カウント終了信号(“H”)が発生してそれがオアゲート 42 を介してこれがラッチ回路 43 に“1”としてラッチされる。これにより、相励磁信号生成回路 9 の動作が停止するので、ステッピングモータドライバ IC 10 は破壊されないで済む。

この場合、8 進カウンタ 4 d からの 8 カウント終了信号(断線検出信号)は、次の出力電流発生する期間において、コンパレータ 46 から“L”の出力検出パルスが複数個分以上発生する期間以上の長さにするのが好ましい。そこで、ここでは、8 進カウンタ 4 d の 8 カウント終了までの期間は、ここでは、各単相駆動回路 1 a, 1 b, 1 c, 1 d のそれぞれにおいて、それぞれのゲート駆動パルスの発生周期より長い値に設定している。それによりゲート駆動パルスの 1 周期分以上に渡って端子オープン状態が連続することを検出

できる。

なお、オアゲート 42 は、単相駆動回路 1a, 1b, 1c, 1d の 8 進カウンタ 4d の最終段から得られる 8 カウント終了信号（断線検出信号）を論理和で受けるので、単相駆動回路 1a, 1b, 1c, 1d のいずれかの 8 進カウンタ 4d において 8 カウント終了信号（断線検出信号）が発生しても相励磁信号生成回路 9 の動作は停止する。

【0016】

ところで、実施例では、コンパレータ 5a は、単相駆動回路 1a, 1b, 1c, 1d にそれぞれ設けられる構成となっているが、コンパレータ 5a は、複数の単相駆動回路に共通に設けられていてもよい。この場合、例えば、単相駆動回路 1a, 1b のそれぞれのコンパレータ 5a と、単相駆動回路 1c, 1d のそれぞれのコンパレータ 5a とに対して出力電流値の検出抵抗 Rs をそれぞれに共通化することができる。

さらに、実施例のパワートランジスタ Tr は、MOSFET トランジスタであるが、これは、バイポーラトランジスタであってもよいことはもちろんである。

さらに、実施例では、ユニポーラ駆動のステッピングモータドライバ IC のモータ駆動回路について説明しているが、パワートランジスタの出力回路をプッシュ・プル動作の駆動回路として、バイポーラ駆動のステッピングモータドライバ IC に実施例を適用してもよいことはもちろんである。

【産業上の利用可能性】

【0017】

以上説明してきたが、実施例では、チョッピングパルス発生回路 7 と OFF タイマ回路 8 を介してパワートランジスタ 3 の OFF 制御をしているが、パワートランジスタ 3 が OFF される構成であれば、チョッピングパルス発生回路 7 や OFF タイマ回路 8 はこの発明にとって必ずしも必要な構成ではない。

さらに、実施例では、ステッピングモータドライバ IC について説明しているが、規定の電流値でパワートランジスタを OFF して駆動電流を制限するような電流制限回路を有するドライブ回路であれば、どのような回路であってもこの発明は適用できる。

【図面の簡単な説明】

【0018】

【図 1】図 1 は、この発明のモータドライブ回路のパワートランジスタ保護回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバのブロック図である。

【図 2】図 2 は、パワートランジスタ保護回路の動作のタイミングチャートである。

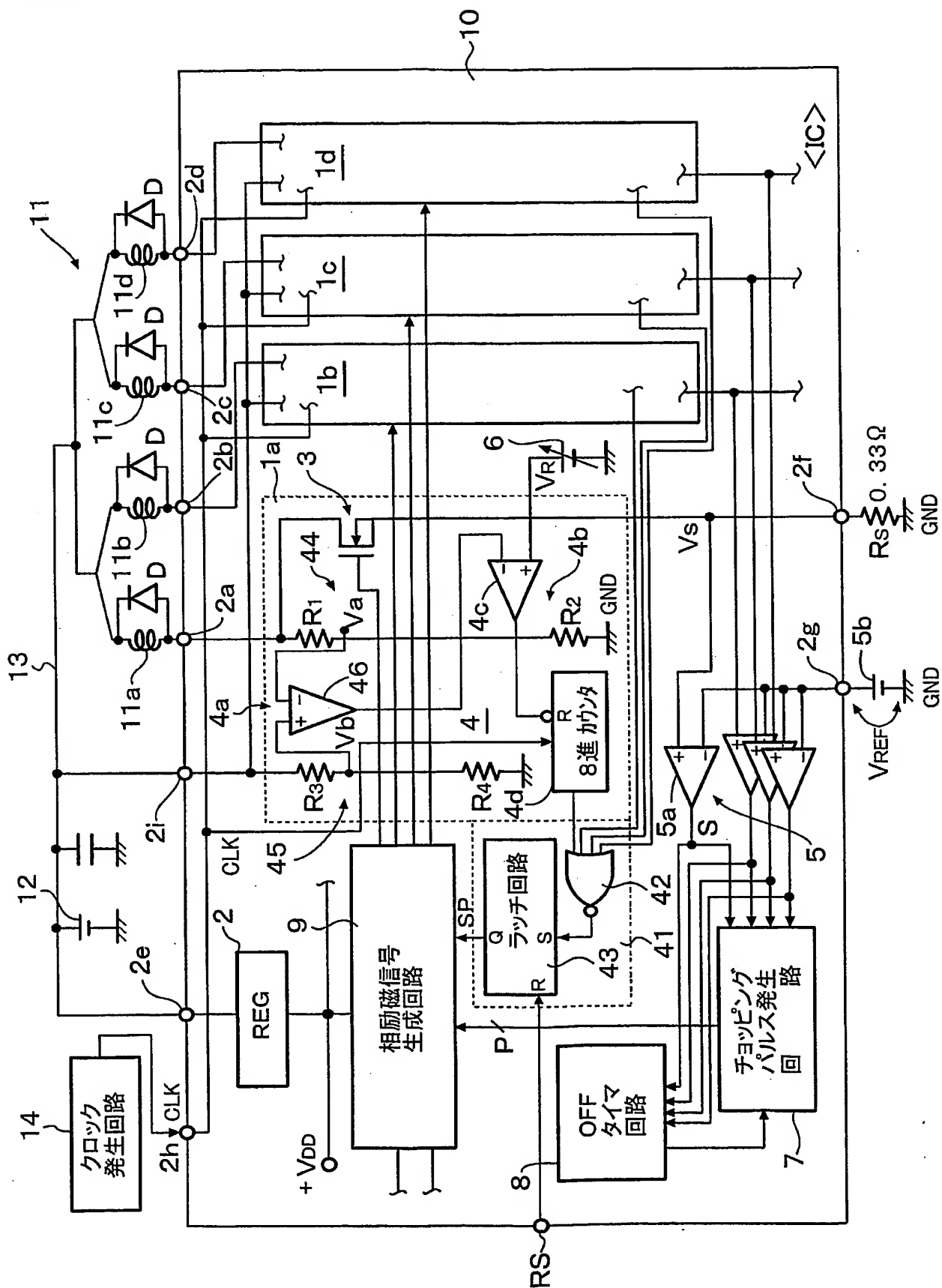
【符号の説明】

【0019】

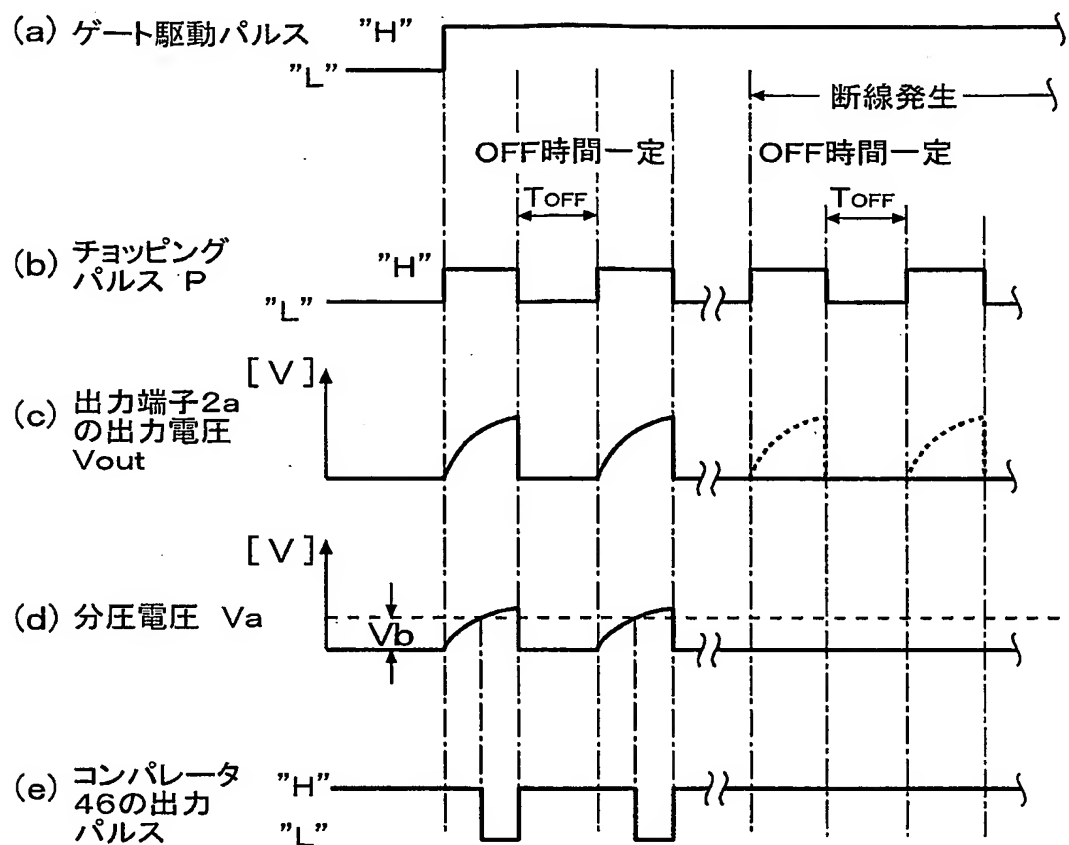
- 1a, 1b, 1c, 1d…単相駆動回路、
- 2a, 2b, 2c, 2d…出力端子、
- 3…Nチャネル MOSFET パワートランジスタ、
- 4…パワートランジスタ保護回路、4a…端子オープン検出回路、
- 4b…断線検出回路、4c, 4d…コンパレータ、
- 4e…8 進カウンタ、5…電流制限回路、
- 5a…コンパレータ、6…基準電圧発生回路、
- 7…チョッピングパルス発生回路、8…OFF タイマ回路、
- 9…相励磁信号生成回路、
- 10…ステッピングモータドライバ IC、
- 11a, 11b, 11c, 11d…励磁コイル、
- 12…電源、13…クロック発生回路、14…クロック発生回路、
- 41…駆動停止信号発生回路、42…オアゲート、
- 43…ラッチ回路、44, 45…抵抗分圧回路、
- Rs…抵抗、D…フライホイールダイオード。

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】

パワートランジスタの出力端子からモータの励磁コイルの他端までの間に断線があるときにパワートランジスタが破壊されるのを防止することができるモータドライブ回路のパワートランジスタ保護回路、モータドライブ回路および半導体装置を提供することにある。

【解決手段】

この発明は、モータドライブ回路および半導体装置の特徴は、複数のパワートランジスタに対応してそれぞれの駆動電流を出力する出力端子と各励磁コイルの出力端子が接続されていない他方の端子あるいはこの端子が接続されているラインとの間にそれぞれ設けられ駆動電流を出力しているときに接続されている端子間がオープン状態にあることを検出する複数の端子オープン検出回路と、端子オープン検出回路の検出信号を受けてこれを受けたときの駆動電流の後に出力された駆動電流のときに検出信号をさらに受けるか否かにより断線状態を検出する断線検出回路と、この断線検出回路により断線状態が検出されたときにモータドライブ回路の駆動動作を停止させる駆動停止回路とを備えるものである。

【選択図】 図 1

特願 2004-003842

出願人履歴情報

識別番号

[000116024]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住所

京都府京都市右京区西院溝崎町21番地

氏名

ローム株式会社

From the INTERNATIONAL BUREAU

PCTNOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

KAJIYAMA, Tsuyoshi
8-8-15-201, Nishi-Shinjuku, Shinjuku-ku Tokyo
1600023
JAPON

Date of mailing (day/month/year) 18 March 2005 (18.03.2005)	
Applicant's or agent's file reference RM17-002PCT	IMPORTANT NOTIFICATION
International application No. PCT/JP05/000118	International filing date (day/month/year) 07 January 2005 (07.01.2005)
International publication date (day/month/year)	Priority date (day/month/year) 09 January 2004 (09.01.2004)
Applicant ROHM CO., LTD et al	

- By means of this Form, which replaces any previously issued notification concerning submission or transmittal of priority documents, the applicant is hereby notified of the date of receipt by the International Bureau of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to a date of receipt, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- (If applicable)* The letters "NR" appearing in the right-hand column denote a priority document which, on the date of mailing of this Form, had not yet been received by the International Bureau under Rule 17.1(a) or (b). Where, under Rule 17.1(a), the priority document must be submitted by the applicant to the receiving Office or the International Bureau, but the applicant fails to submit the priority document within the applicable time limit under that Rule, **the attention of the applicant is directed to Rule 17.1(c)** which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- (If applicable)* An asterisk (*) appearing next to a date of receipt, in the right-hand column, denotes a priority document **submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b)** (the priority document was received after the time limit prescribed in Rule 17.1(a) or the request to prepare and transmit the priority document was submitted to the receiving Office after the applicable time limit under Rule 17.1(b)). Even though the priority document was not furnished in compliance with Rule 17.1(a) or (b), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
09 January 2004 (09.01.2004)	2004-003842	JP	03 March 2005 (03.03.2005)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. +41 22 740 14 35

Authorized officer

Akremi Taieb

Facsimile No. +41 22 338 90 90
Telephone No. +41 22 338 9415